

ИСТОРИЯ УСПЕХА РТИ: ОПТИМИЗЦИЯ VHDL-КОДА В АРИФМЕТИКЕ С ПЛАВАЮЩЕЙ ТОЧКОЙ

Специалисты ЦИТМ «Экспонента» доказали, что техника автоматической генерации кода для ПЛИС не только применима к нашим задачам, но и существенно модернизирует процесс разработки и отработки Изделия.

Андрей Климов,
заместитель главного конструктора,
начальник тематического отдела АО «РТИ»

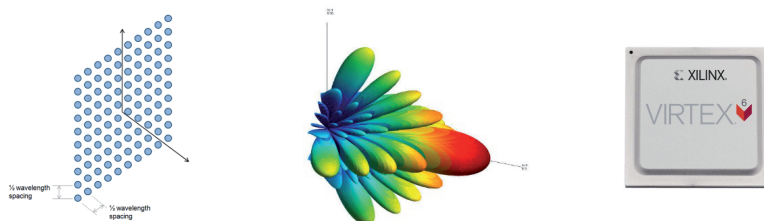
Задача

Перед инженерами «РТИ» стояла задача оптимизировать существующий код математического модуля на языке VHDL, выполняющего функцию расчёта поправок фаз для отдельных элементов крупной фазированной антенной решётки в составе приёмной части радиолокационного комплекса.

Специфика математической функции расчёта фазовых поправок предполагала вычисления в плавающей точке, что, в свою очередь, требовало использования специальных функций вычислений в плавающей точке при реализации на ПЛИС.

Существующий код исполнял требуемую функцию, но занимал больше ресурсов кристалла, чем допускалось проектом. Необходимо было сократить использование логических элементов ПЛИС данным математическим модулем как минимум на 15%. При этом результаты оптимизации по площади модуля не должны были критично повлиять на скорость работы - тактовая частота должна была оставаться не менее 100 МГц.

Так как «ручная» оптимизация существующего кода и его тестирование могли занять достаточно много времени при ограниченном инженерном ресурсе, было принято решение с помощью инженеров ЦИТМ Экспонента опробовать концепцию модельно-ориентированного проектирования (МОП) и автоматическую генерацию VHDL-кода.



Решение

Инженерами «РТИ» совместно с инженерами ЦИТМ Экспонента за короткие сроки была разработана модель Simulink, описывающая математическую функцию расчёта компенсирующих значений фаз. Верность расчётов в процессе разработки контролировалась и подтверждалась путём сравнения выхода модели и результатов тестирования исходного (функционально эталонного) модуля на VHDL.

Модель была подготовлена к автоматической генерации VHDL-кода в арифметике с плавающей точкой с помощью продукта HDL Coder. Тестирование модели осуществилось средствами MATLAB/Simulink. Стоит отметить, что в условиях ограниченного времени проекта было принято решение не использовать продвинутые техники оптимизации, и обойтись первым приближением модели и сгенерированного кода.

Результат

Менее чем за 1 месяц совместной работы была разработана функциональная модель алгоритма и получен синтезируемый VHDL-код в арифметике с плавающей точкой.

Автоматически сгенерированный код функционально соответствовал эталонному (исходному), что подтвердило тестирование в HDL-симуляторах и сравнение результатов.

Полученный код по своим показателям превосходил исходный. Он:

- занимал на 23% меньше логических элементов ПЛИС
- задействовал на 90% меньше аппаратных умножителей
- работал на тактовой частоте в 1.5 раза выше исходной

Совместное выполнение проекта позволило инженерам РТИ освоить новый подход к разработке и гарантировало хороший результат уже на первом «боевом» проекте.

Ресурсы ПЛИС	Исходный код	РТИ + Экспонента	Сравнение
Slide Reg	15007	11527	Выигрыш в 1.3 раза
LUT + LUTRAM	10817	10527	Несущественное сокращение
BRAM	17	9	Выигрыш в 1.9 раза
DSP48E1	75	7	Выигрыш в 10.7 раз
Slice	3586	3521	Несущественное сокращение
Fmax, МГц	107	164	Выигрыш в 1.5 раза

Использованные продукты:
Simulink
Fixed-Point Designer
HDL Coder
HDL Verifier