

# IP-ЯДРА ДЛЯ ПЛИС

## КАТАЛОГ РОССИЙСКИХ РАЗРАБОТОК

Представляем вам каталог функциональных IP-ядер для ПЛИС и СнК от российского производителя (РИТМ) для снижения зависимости от зарубежных технологий.

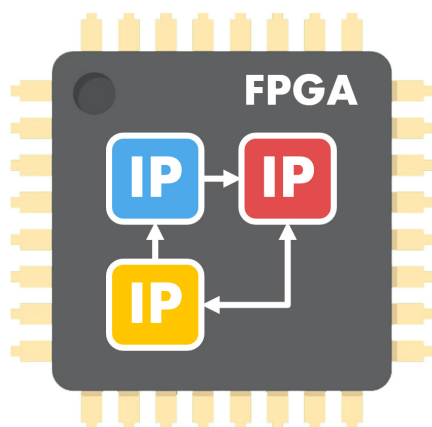
При реализации цифровых систем на ПЛИС использование готовых IP-ядер сокращает стоимость и сроки в 2-5 раз по сравнению с самостоятельной разработкой.

Продукты из каталога могут быть поставлены в виде синтезированной принципиальной схемы (netlist) для реализации на конкретном кристалле или же в виде исходного кода на языке Verilog или VHDL с набором тестовых векторов и функциональными моделями для верификации. Используйте в вашем проекте протестированные, оптимизированные, безопасные алгоритмы от компании РИТМ, а также полноценную техническую поддержку и помощь в настройке и интеграции этих алгоритмов в ваш проект от ЦИТМ «Экспонента».

Все IP-ядра разработаны в России компанией РИТМ, выполняют требования импортозамещения и предназначены для использования как с импортной, так и с российской ЭКБ.

Для каждого IP-ядра проводятся консультации по внедрению в проект и доводка, по необходимости, до полного соответствия техническому заданию проекта.

Решения на основе IP-ядер из каталога уже поставляются в ряд российских компаний по разработке систем связи, встраиваемых систем, систем специального и военного назначения, а также в телеком-компаниях.



<b>Цифровая обработка сигналов</b> .....	2
<b>Референс дизайн</b> .....	3
<b>Беспроводная связь</b> .....	4
<b>Системы LTE</b> .....	5
<b>Системы 5G</b> .....	6
<b>Нейросети</b> .....	7
<b>Компьютерное зрение</b> .....	8
<b>Кодирование</b> .....	9
<b>Цифровые Интерфейсы</b> .....	9
<b>Генерация кода для встраиваемых систем</b> .....	10

# Цифровая обработка сигналов

## Высокопроизводительное ядро БПФ

Ядро основывается на поточной архитектуре Radix  $2^2$ , подходящей для высокопроизводительных применений и поддерживающей векторный вход. Подобная архитектура позволяет достигать пропускной способности в несколько гигасемплов в секунду (GSPS). Ядро поддерживает длины БПФ от  $2^3$  до  $2^{16}$  точек, действительные или комплексные данные, выбор реализации комплексного умножителя в железе, нормировку выхода ступеней БПФ, вход и выход в обратном битовом порядке. На основе ядра возможна реализация ОБПФ.

## Оптимизированное по площади ядро БПФ

Ядро основывается на пакетной архитектуре Radix  $2^2$ , подходящей для ограниченных ресурсов ПЛИС, особенно при большом количестве точек БПФ. Ядро поддерживает длины БПФ от  $2^3$  до  $2^{16}$  точек, действительные или комплексные данные, выбор реализации комплексного умножителя в железе, нормировку выхода ступеней БПФ, вход и выход в обратном битовом порядке. На основе ядра возможна реализация ОБПФ.

## Цифровой синтез частоты (DDS)

Ядро генерирует действительные или комплексные синусоидальные сигналы. Используется фазовый аккумулятор и интерполяционная таблица, содержащая четверть волны. Размер таблицы и квантование настраиваются для оптимизации использования памяти и ресурсов ПЛИС. Возможен векторный выход. Возможно подмешивание dither-шума.

## Модуль и фаза комплексного числа

Ядро вычисляет модуль и фазу комплексного числа при помощи оптимизированного и конвейеризованного алгоритма CORDIC. Количество итераций алгоритма CORDIC настраиваемо. Вы можете использовать это ядро для вычисления функции atan2 на ПЛИС.

## Оптимизированный КИХ-фильтр

Доступны три модификации ядра со скалярным входом:

- 1) прямая систолическая — полностью параллельная архитектура, эффективно утилизирующая аппаратные умножители;
- 2) прямая транспонированная — полностью параллельная архитектура с естественной конвейеризацией;
- 3) частично последовательная систолическая — гибко настраиваемая последовательно-параллельная архитектура.

Для всех архитектур можно получить ядро, оптимизированное под аппаратные ресурсы ПЛИС конкретных вендоров.

Дополнительные опции: возможность программирования коэффициентов, конвейеризация, совместное использование ресурсов. В случае симметричных и антисимметричных КИХ, а также нулевых коэффициентов, происходит оптимизация количества умножителей.

## КИХ-дециматор

Ядро реализует полифазный децимирующий КИХ-фильтр. Полифазная структура разбивает коэффициенты всего фильтра на количество наборов коэффициентов подфильтров, равное коэффициенту децимации. Доступны модификации ядра со скалярным и векторным входом. Также доступны две архитектуры фильтров: полностью параллельная прямая систолическая, эффективно утилизирующая аппаратные умножители, и прямая транспонированная, полностью параллельная архитектура с естественной конвейеризацией.

## КИХ-преобразователь частоты дискретизации

Ядро повышает частоту дискретизации в целое число раз, выполняет фильтрацию, и затем понижает частоту в целое число раз, тем самым обеспечивая произвольное дробное изменение. Ядро работает со скалярным входом, и основывается на полифазной структуре фильтра, минимизирующей излишние математические операции на повышенной промежуточной частоте.

## Оптимизированный CIC-дециматор

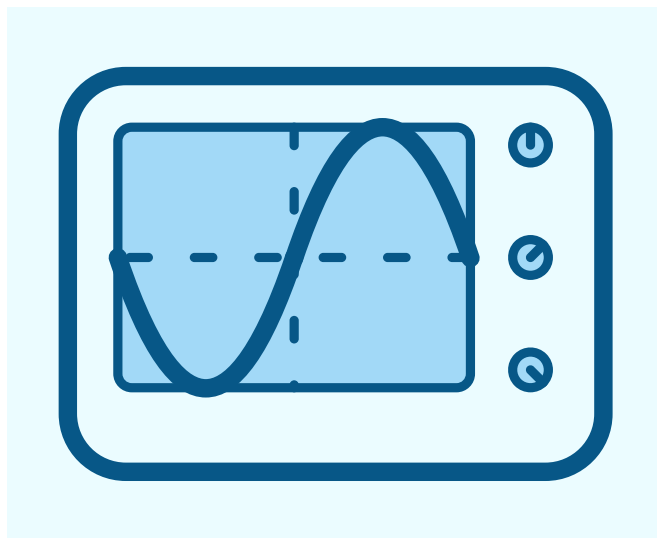
Ядро осуществляет децимацию входного сигнала при помощи CIC-фильтра и компенсирует амплитуду в полосе пропускания. В ядре параметризовано количество секций каскадированных интеграторов и гребенчатых фильтров, а также коэффициент децимации. Существуют модификации ядра со скалярным и векторным входом: векторный вход обеспечивает большую пропускную способность, а в случае скалярного входа коэффициент децимации может задаваться как дополнительный вход ядра и изменяться в процессе работы.

## Полифазный банк фильтров (Channelizer)

Ядро разделяет входной широкополосный сигнал на несколько узкополосных сигналов. Векторный вход обеспечивает пропускную способность до нескольких гигасемплов в секунду (GSPS). Ядро построено на основе полифазного фильтра с одним подфильтром на каждый элемент входного вектора. Алгоритм подразумевает перемежение фильтров, что позволяет использовать умножители фильтра повторно. Реализация БПФ использует конвейеризованный Radix  $2^2$  FFT алгоритм.

## LMS адаптивный фильтр

Данное ядро доступно в четырех модификациях алгоритма: LMS, Sign-Error LMS, Sign-Data LMS и Sign-Sign LMS. В ядре настраивается порядок фильтра, начальные значения коэффициентов, шаг схождения и коэффициент утечки. Также доступны дополнительные управляющие входы для обновления и сброса коэффициентов.



# Референс дизайн

## Физический уровень DMR (DMR PHY)

Продукт представляет собой готовый проект разработчика, обеспечивающий портирование системы DMR на DSP процессор или ПЛИС в рекордные сроки в связи с возможностью использования технологии автоматического синтеза кода из предварительно подготовленных алгоритмических моделей, входящих в состав данного набора.

Включает алгоритмы: модулятор и демодулятор, формирователь кадров, символьный и частотный синхронизаторы, каналные кодеки и декодеры (FEC, CRC).

## Физический уровень TETRA (TETRA PHY)

Данный продукт обеспечивает портирование физического уровня TETRA на DSP процессор или ПЛИС в рекордные сроки в связи с возможностью использования технологии автоматического синтеза кода из предварительно подготовленных алгоритмических моделей, входящих в состав данного набора.

Особенности: генерация эталонных сигналов стандарта TETRA DMO для тестирования оборудования на соответствие стандарту, анализ трафика TETRA DMO тока. Возможна поставка с референс дизайном рации.

## Уровень доступа TETRA DMO (TETRA MAC)

Программный продукт представляет собой готовый проект разработчика, обеспечивающий портирование MAC уровня TETRA на DSP процессор или ПЛИС в рекордные сроки в связи с возможностью использования технологии автоматического синтеза кода из предварительно подготовленных алгоритмических моделей, входящих в состав данного набора.

Содержит логические каналы SCH\_S, SCH\_H, SCH\_F, TCH\_S1, TCH\_24, TCH\_48, TCH72, TCH\_S2, STCH1, STCH2, подсистему контроля состояния канала, подсистему организации случайного доступа к каналу, подсистему управления адресами, сервисы вызовов (позднее подключение, приоритетный вызов и пр.).

## Физический уровень 5G

Данный программный продукт обеспечивает реализацию физического уровня стандарта 5G (New Radio) на ПЛИС Altera, Xilinx, Microsemi, ВЗПП, Миландр в рекордные сроки в связи с возможностью использования технологии автоматического синтеза кода из предварительно подготовленных алгоритмических моделей, входящих в состав данного набора.

Особенности: включает алгоритмы 5G NR SSB и MIB.

## Физический уровень LTE

Данный программный продукт представляет собой готовый проект разработчика, обеспечивающий реализацию системы передачи данных через радиоканал по стандарту LTE на ПЛИС Altera, Xilinx, Microsemi, ВЗПП, Миландр в рекордные сроки в связи с возможностью использования технологии автоматического синтеза кода из предварительно подготовленных алгоритмических моделей, входящих в состав данного набора.

Особенности: включает алгоритмы MIMO, PSS, SSS, CRS, и MIB.

## Физический уровень WiFi 802.11n

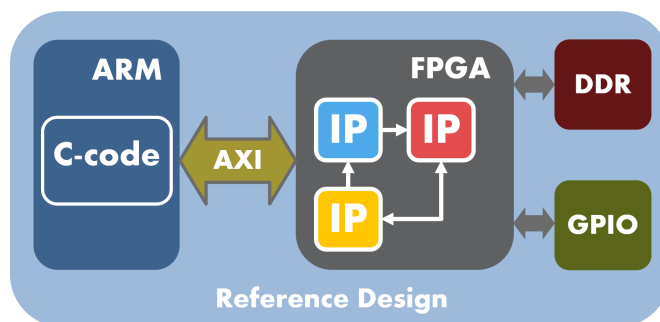
Данный продукт — готовый проект разработчика, обеспечивающий реализацию системы передачи данных через радиоканал по стандарту IEEE802.11n на ПЛИС Altera, Xilinx, Microsemi, ВЗПП, Миландр в рекордные сроки в связи с возможностью использования технологии автоматического синтеза кода из предварительно подготовленных алгоритмических моделей, входящих в состав данного набора.

Особенности: MIMO до 4 каналов, LDPC кодирование.

## Кодек H.264 (профиль baseline)

Данный продукт обеспечивает реализацию видеокodeка H264 (профиль baseline) на ПЛИС Altera, Xilinx, Microsemi, ВЗПП, Миландр в рекордные сроки в связи с возможностью использования технологии автоматического синтеза кода из предварительно подготовленных алгоритмических моделей, входящих в состав данного набора.

Особенности: содержит алгоритмы предсказания для опорных кадров, межкадровое предсказание движения и адаптивное кодирование с переменной длиной кодового слова.



# Беспроводная связь

## Декодер Витерби

Ядро декодера Витерби декодирует сверточно закодированные данные с помощью реализации трассировки на основе RAM.

Декодирование Витерби широко используется в стандарте LTE TS 36.212 и других приложениях прямой коррекции ошибок (FEC), таких как сети 802.11 a/b/g/n/ac, цифровая спутниковая связь, цифровое видеовещание (DVB), IEEE 802.16 и HiperLAN.

Для поддержки любого из этих стандартов блок принимает сверточные коды с длиной ограничений от 3 до 9, кодовыми скоростями от 1/2 до 1/7 и обеспечивает непрерывный, завершённый и усечённый режимы.

## Кодек Рида-Соломона

Продукт представляет собой ядра кодера и декодера Рида-Соломона, оптимизированные для реализации на ПЛИС. Вы можете использовать этот продукт для реализации многих кодов прямой коррекции ошибок системы связи (FEC).

Ядро может быть использовано в DSL, WiMAX (802.16 m и e), DVB-H, DVB-S и DVB-SH для переносных устройств до 3 МГц.

## Сверточный кодер

Ядро кодирует входной поток битов сверточным кодом. Поддерживаются отношения 1/2 и 1/7 и длины регистров от 3 до 9, включая рекурсивные и нерекурсивные полиномы.

Ядро может применяться в таких стандартах, как Wi-Fi (802.11 a/b/g/n/ac), цифровая спутниковая связь, цифровое видеовещание (DVB), 3GPP2, IEEE 802.16, HiperLAN. Вы можете использовать это ядро для реализации других канальных кодов, таких как турбо-коды, которые используются в стандартах LTE.

## Модулятор и демодулятор OFDM

Ядра модулятора и демодулятора OFDM. Ядро модулятора модулирует поднесущие ортогонального частотного мультиплексирования (OFDM) во временной области на основе параметров OFDM. Ядро демодулятора демодулирует отсчеты с ортогональным частотным разделением во временной области (OFDM) и выводит поднесущие на основе параметров OFDM.

Ядра поддерживают стандарты 5G, LTE, беспроводной локальной сети (WLAN 802.11 a/b/g/n/ac), WiMAX (802.16 m и e), цифрового видеовещания (DVB) и цифрового аудиовещания (DAB).

## Кодек LDPC для WIFI 802.11n

Ядра LDPC кодера и декодера стандарта IEEE 802.11n. Возможно использование на ПЛИС Altera, Xilinx, Microsemi, ВЗПП, Миландр.

Особенности: поддержка скорости кодирования — 1/2, 2/3, 3/4, 5/6; поддержка длины кодового слова — 648, 1296 и 1944 бит; настраиваемое количество итераций декодирования; возможность встраивать в модели MATLAB/Simulink для отладки в составе системной модели.

## Кодек LDPC для DVB T2/S2

Ядра LDPC кодера и декодера стандарта DVB T2/S2. Возможно использование на ПЛИС Altera, Xilinx, Microsemi, ВЗПП, Миландр.

Особенности: поддержка скорости кодирования — 1/2, 1/3, 1/4, 2/3, 3/4, 4/5, 5/6, 8/9, 9/10; поддержка длины кодового слова — 16200 и 64800 бит; настраиваемое количество итераций декодирования; возможность встраивать в модели MATLAB/Simulink для отладки в составе системной модели.

## Эквалайзер канала OFDM в частотной области

Ядро оценивает канал с использованием входных данных и опорных поднесущих. Ядро позволяет указать количество поднесущих для оценки каждого выходного символа.

Ядро можно использовать для оценки многолучевых затухающих каналов на стороне приемника в различных стандартах связи, таких как LTE и WLAN.



# Системы LTE

## Алгоритм БПФ 1536 для LTE

Ядро БПФ 1536 основано на алгоритме radix-3 decimation-in-time (DIT). Оно поддерживает полосу пропускания стандарта LTE в 15 МГц и может использоваться в связке с ядром LTE OFDM-демодулятора.

Ядро позволяет настраивать ресурсы ПЛИС с точки зрения комплексного перемножения.

## LTE OFDM-модем

Ядра модулятора и демодулятора OFDM стандарта LTE TS 36.212. Ядро модулятора LTE OFDM реализует алгоритм модуляции отсчетов сетки ресурсов LTE.

Ядро демодулятора возвращает сетку ресурсов LTE, которая используется для обнаружения идентификатора ячейки, восстановления главного информационного блока (MIB), восстановления системного информационного блока (SIB) и дальнейшего декодирования. В ядре применяются оконные функции для уменьшения уширения спектра (ACLR).

Вы можете выбрать количество блоков ресурсов нисходящей линии связи (NLRB) и выбрать обычный или расширенный циклический префикс (CP), как описано в стандарте LTE. Задержка от первого входного отсчета до первого выходного отсчета зависит от выбранного вами NLRB.

## LTE символьный модем

Ядра символьного модулятора и демодулятора стандарта LTE TS 36.212. Ядро модулятора размещает группы бит данных на комплексные символы, используя типы модуляции стандарта LTE (BPSK, QPSK, 16-QAM, 64-QAM, 256-QAM).

Ядро демодулятора выделяет из символов биты данных или значения LLR в зависимости от выбранного типа модуляции.

## LTE CRC-кодек

Ядра кодера и декодера CRC стандарта LTE TS 36.212. Ядро кодера вычисляет и добавляет CRC к каждому кадру потока данных. Выбор доступных полиномов соответствует стандарту LTE. Ядро декодера вычисляет CRC и сверяет его с контрольной суммой.

Ядра поддерживают поточный интерфейс данных и дополнительные контрольные сигналы.

## LTE сверточный кодек

Ядра сверточных кодера и декодера стандарта LTE TS 36.212. Ядро кодера реализует полиномы кодирования, определенные стандартом LTE. Сверточный код имеет ограниченную длительность 7 и имеет октальные полиномы  $G_0=133$ ,  $G_1=171$  and  $G_2=165$ .

Ядро декодера реализует заворачивающийся алгоритм Витерби (WAVA).

## LTE турбокодек

Ядра турбо кодера и декодера стандарта LTE TS 36.212. Кодер представляет собой параллельный конкатенированный сверточный код (PCCC) с двумя составными кодерами 8-и состояний и внутренним перемежителем. Скорость кодирования 1/3.

Ядро декодера вычисляет итеративно на базе двух MAX-декодеров. Количество итераций настраиваемо.

## Генератор последовательностей Голда LTE

Ядро генерирует коды Голда, получаемые с использованием полинома и сдвигового регистра, определенных стандартом LTE TS 36.212. Коды Голда — это псевдослучайные последовательности с высокой автокорреляцией и низкой взаимной корреляцией.

Коды Голда используются для разделения различных мобильных ячеек, работающих на одной и той же частоте. Системы LTE используют генератор кодов Голда для опорных символов и для скремблирования/дескремблирования данных, таких как кодирование и декодирование MIB и SIB.



# Системы 5G

## 5G NR символный модем

Ядра символного модулятора и демодулятора стандарта 5G NR TS 38.211. Ядро модулятора размещает группы бит данных на комплексные символы, используя типы модуляции стандарта 5G (BPSK, QPSK, 16-QAM, 64-QAM, 256-QAM,  $\pi/2$ -BPSK).

Ядро демодулятора выделяет из символов биты данных или значения LLR в зависимости от выбранного типа модуляции.

## 5G NR LDPC-кодек

Ядра LDPC кодера и декодера стандарта 5G NR TS 38.211. Ядра кодера и декодера можно использовать для кодирования нисходящего и восходящего общих каналов и пейджингового канала в соответствии с 5G.

Оба ядра поддерживают скалярный и векторный вход до 64 отсчетов.

## 5G NR CRC-кодек

Ядра кодера и декодера CRC стандарта 5G NR TS 38.211. Ядро кодера вычисляет и добавляет CRC к каждому кадру потока данных. Выбор доступных полиномов соответствует стандарту 5G.

Ядро декодера вычисляет CRC и сверяет его с контрольной суммой. Ядра поддерживают поточный интерфейс данных и дополнительные контрольные сигналы.

## 5G NR полярный кодек

Ядра полярных кодера и декодера стандарта 5G NR TS 38.211. Ядра кодера и декодера можно использовать для кодирования DCI, UCI и BCH каналов в соответствии с 5G.



# Нейросети

## Нейросеть AlexNet

Ядро представляет собой оптимизированный процессор для реализации на ПЛИС последовательной сверточной нейросети AlexNet. Данные нейросети могут применяться для задач классификации. Поддерживаются вычисления в арифметике с плавающей точкой FP32 и в целочисленной арифметике int8.

## Нейросеть VGG-16 / VGG-19

Ядро представляет собой оптимизированный процессор для реализации на ПЛИС последовательной сверточной нейросети VGG-16 или VGG-19. Данные нейросети могут применяться для задач классификации. Поддерживаются вычисления в арифметике с плавающей точкой FP32 и в целочисленной арифметике int8.

## Нейросеть LogoNet

Ядро представляет собой оптимизированный процессор для реализации на ПЛИС последовательной сверточной нейросети LogoNet. Данная нейросеть применяется для задачи классификации логотипов. Поддерживаются вычисления в арифметике с плавающей точкой FP32 и в целочисленной арифметике int8.

## Нейросеть DarkNet-19

Ядро представляет собой оптимизированный процессор для реализации на ПЛИС последовательной сверточной нейросети DarkNet из 19 слоев. Данная нейросеть применяется для задач классификации изображений. Поддерживаются вычисления в арифметике с плавающей точкой FP32 и в целочисленной арифметике int8.

## Нейросеть YOLO v2

Ядро представляет собой оптимизированный процессор для реализации на ПЛИС алгоритма YOLO v2 на базе последовательной сверточной нейросети VGG. Этот алгоритм применяется для задач обнаружения объектов. Поддерживаются вычисления в арифметике с плавающей точкой FP32 и в целочисленной арифметике int8.

## Нейросеть ResNet

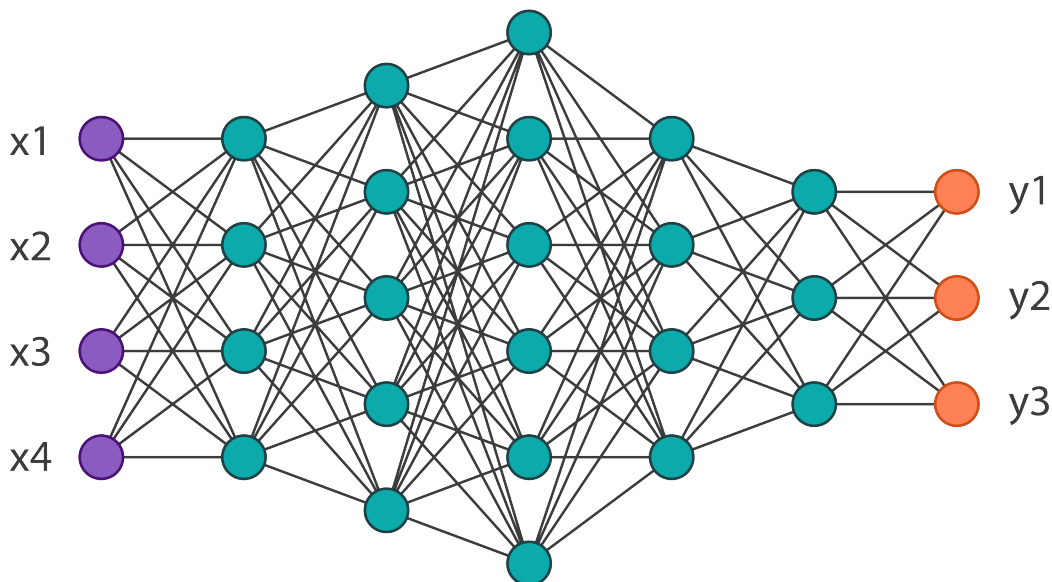
Ядро представляет собой оптимизированный процессор для реализации на ПЛИС DAG-нейросети ResNet-50. Данная нейросеть применяется для задач классификации изображений. Поддерживаются вычисления в арифметике с плавающей точкой FP32 и в целочисленной арифметике int8.

## Нейросеть GoogleNet

Ядро представляет собой оптимизированный процессор для реализации на ПЛИС DAG-нейросети GoogleNet. Данная нейросеть применяется для задач классификации изображений. Поддерживаются вычисления в арифметике с плавающей точкой FP32 и в целочисленной арифметике int8.

## Нейросеть сверточная произвольной архитектуры

Пользовательская последовательная или DAG-нейросеть на базе имеющихся реализаций процессоров слоев.



# Компьютерное зрение

## Детектор углов FAST / Harris

Ядро детектора углов обнаруживает углы с помощью алгоритма features-from-accelerated-segment test (FAST) или алгоритма пересекающихся ребер (Harris). Для каждого пикселя, если пиксель является углом, блок возвращает метрику угла. Если пиксель не является углом, блок возвращает нулевое значение пикселя.

## Детектор границ Sobel / Pruitt / Roberts

Ядро детектора находит края в потоке пикселей в оттенках серого с помощью метода Собеля, Прюитта или Робертса. Блок свертывает входные пиксели с матрицами производной аппроксимации, чтобы найти градиент величины пикселя вдоль двух ортогональных направлений. Затем он сравнивает сумму квадратов градиентов с квадратом настраиваемого порога, чтобы определить, представляют ли градиенты ребро.

## Медианный фильтр

Ядро медианного фильтра заменяет каждый входной пиксель медианным значением заданной окружающей N-на-N окрестности. Вы можете использовать это ядро для удаления шума соли и перца из изображения без значительного снижения резкости изображения. Можно задавать размер окрестности и значения отступов для краев входного изображения.

## 2-D фильтр изображений

Ядро двумерного фильтра изображения выполняет двумерную фильтрацию с конечной импульсной характеристикой (FIR) на потоке пикселей и поддерживает использование программируемых коэффициентов фильтра.

## Билатеральный фильтр

Данное ядро позволяет фильтровать изображения, сохраняя края. Типичные применения билатеральной фильтрации — это шумоподавление при сохранении краев, отделение текстуры от освещения и карикатура для усиления краев. Фильтр заменяет каждый пиксель в центре окрестности средним значением, которое вычисляется с помощью пространственных и интенсивностных гауссовых фильтров.

## Морфологическое закрытие

Ядро выполняет операции морфологической дилатации с последующей морфологической эрозией, используя одну и ту же окрестность для обоих вычислений. Блок работает с потоком двоичных значений интенсивности. Можно настраивать окрестность или структурный элемент размером до 32 на 32 пикселя.

## Морфологическое раскрытие

Ядро выполняет морфологическую эрозию с последующей морфологической дилатацией, используя одну и ту же окрестность для обоих вычислений. Блок работает с потоком двоичных значений интенсивности. Можно настраивать окрестность или структурный элемент размером до 32 на 32 пикселя.

## Морфологическая дилатация

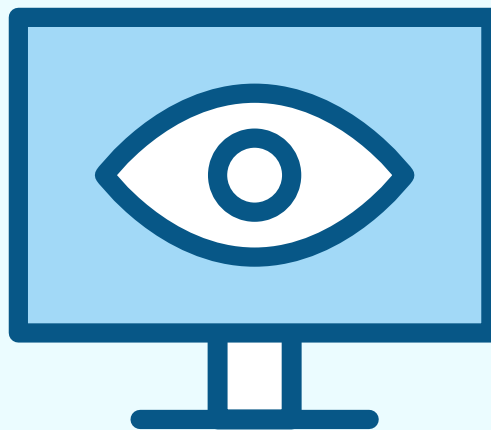
Данное ядро заменяет каждый пиксель локальным максимумом окрестности вокруг пикселя. Блок работает с потоком двоичных значений интенсивности. Можно настраивать окрестность или структурный элемент размером до 32 на 32 пикселя.

## Морфологическая эрозия

Ядро эрозии заменяет каждый пиксель локальным минимумом окрестности вокруг пикселя. Блок работает с потоком двоичных значений интенсивности. Можно настраивать окрестность или структурный элемент размером до 32 на 32 пикселя.

## Выделение ROI

Блок выделяет регион пикселей из кадра видео или изображения. Можно указать фиксированный размер и местоположение ROI или динамически выбрать местоположение региона с помощью входного порта. Также можно выбрать несколько регионов. По умолчанию блок возвращает один набор пикселей и управляющих сигналов для каждой заданной области. Блок устанавливает неактивные пиксели в выходном кадре равными нулю.

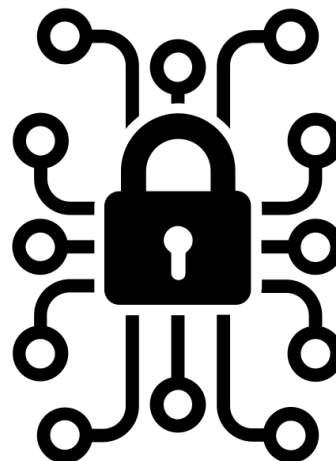




# Кодирование

## Алгоритм блочного шифрования по ГОСТ 28147-89

Блочное шифрование повсеместно используется в системах передачи и хранения информации. ГОСТ 28147-89 (Магма) — российский стандарт симметричного блочного шифрования, принятый в 1989 году. Данное IP-ядро представляет собой реализацию режима простой замены, описываемого стандартом, и пригодно для автоматической генерации оптимизированного исполняемого кода как для процессоров, так и для ПЛИС. Особенности: настройка источников ключа шифрования и узлов замены (S-блоков), выбор реализации сети Фейстеля — последовательная в 32 такта, полностью параллельная, гибридная; возможность реализации других режимов стандарта (гаммирования, гаммирования с обратной связью, выработки имитовставки) по требованию заказчика.



# Цифровые интерфейсы

## Интерфейс Fibre Channel

Ядро реализует протокол стандарта FC-AE-ASM (FibreChannel). Для приема и передачи данных ядро использует интерфейсы AXI и AXI-Stream.

Ядро поддерживает до 4-х независимых каналов FibreChannel.

## Интерфейс квадратурного энкодера

Ядро предназначено для формирования сигналов квадратурного энкодера. Ядро формирует формирования сигналов квадратур и импульса, означающего полный поворот ротора, и предусматривает имитацию сигналов энкодера при работе в двух направлениях.

## Интерфейс квадратурного декодера

Ядро предназначено для считывания сигналов квадратурного энкодера. Оно считывает сигналы квадратурного энкодера и тем самым подсчитывает количество состояния (одно состояние соответствует повороту вокруг своей оси на определенный градус). Когда квадратурный энкодер посылает сигнал о полном обороте, ядро выводит данный сигнал на соответствующий порт.

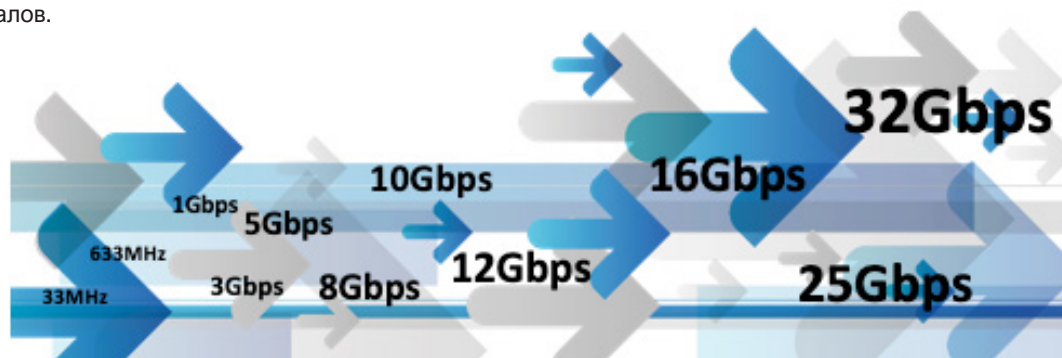
Ядро может содержать от 1 до 64 независимых каналов приема сигналов.

## Интерфейс захвата ШИМ

Ядро предназначено для захвата ШИМ сигнала, максимальное количество каналов захвата 64. Ядро состоит из мультиплексора, обеспечивающего обработку запроса и выдачу информации с заданного канала, а также из канального модуля, который реализует работу счетчиков каждого конкретного канала захвата. Количество канальных модулей захвата настраиваемо.

## Интерфейс генерации ШИМ

Ядро предназначено для формирования ШИМ сигнала, максимальное количество каналов 64. Ядро содержит интерфейс взаимодействия, аналогичный блочной памяти, а также канальный модуль, который реализует работу счетчиков каждого конкретного канала. Логика работы канальных модулей предусматривает дублирующие регистры для переключения обновленных данных по завершению периода ШИМ.



# Генерация кода для встраиваемых систем

## РИТМ ВС для Миландр

### Генерация кода для процессора Миландр 1986VE91T

Программный модуль предназначен для автоматической генерации исходного кода из математических моделей алгоритмов.

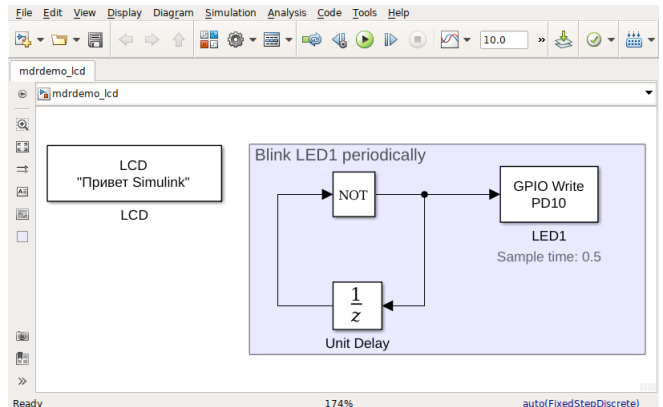
Автоматизация позволяет быстро прототипировать алгоритмы непосредственно на вычислителе 1986VE91T, оценивать время выполнения и воспроизводить тестовые сценарии для доказательства функционального соответствия кода техническому заданию.

Генерация кода при помощи РИТМ ВС для Миландр гарантирует отсутствие ошибок, свойственных ручному кодированию, и упрощает поддержку и доработку проектов.

#### Технические особенности продукта

- Автоматическая генерация кода и интеграция с набором инструментов для построения кода
- Загрузка и запуск исполняемого файла на целевом вычислителе
- Верификация в режиме Процессор-в-контуре (PIL)
- Профилирование времени выполнения в режиме PIL
- Специализированные блоки Simulink

Автоматическая генерация и верификация программного кода для микропроцессоров Миландр



## РИТМ ВС для НейроМатрикс

### Генерация кода для процессора NeuroMatrix MB77.07

Программный модуль предназначен для автоматической генерации исходного кода из математических моделей алгоритмов.

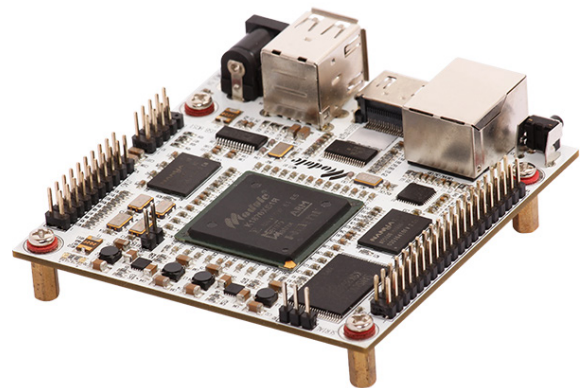
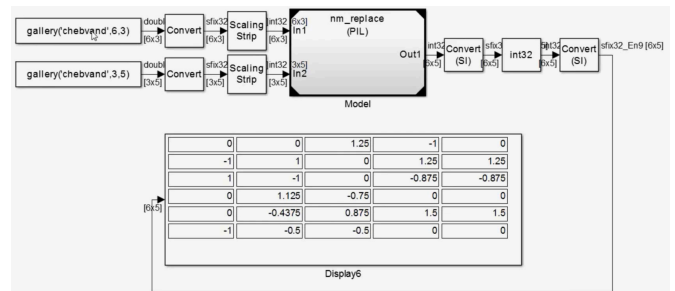
Автоматизация позволяет быстро прототипировать алгоритмы непосредственно на вычислителе MB77.07 на базе СБИС К1879ХБ1Я, оценивать время выполнения и воспроизводить тестовые сценарии для доказательства функционального соответствия кода техническому заданию.

Генерация кода при помощи РИТМ ВС для Нейроматрикс гарантирует отсутствие ошибок, свойственных ручному кодированию, и упрощает поддержку и доработку проектов.

#### Технические особенности продукта

- Автоматическая генерация промышленного кода из моделей
- Интеграция с набором инструментов для построения кода
- Загрузка и запуск исполняемого файла на микропроцессоре
- Независимое выполнение на целевой системе (интеграция с планировщиком ОС Linux)
- Верификация в режиме Процессор-в-контуре (PIL)
- Профилирование времени выполнения
- Генерация портируемого платформонезависимого кода ANSI C / ISO C++
- Поддержка режима исполнения External Mode
- Специализированные блоки для работы с векторным сопроцессором

Автоматическая генерация и верификация программного кода для микропроцессоров НТЦ Модуль



# Генерация кода для встраиваемых систем

## РИТМ ВС для Мультикор

### Генерация кода для микропроцессора Элвис 1892VM14Я

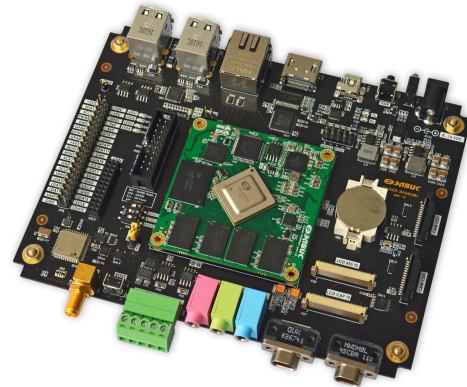
Программный модуль предназначен для автоматической генерации исходного кода из математических моделей алгоритмов. Автоматизация позволяет быстро прототипировать алгоритмы непосредственно на вычислителе 1892VM14Я, оценивать время выполнения и воспроизводить тестовые сценарии для доказательства функционального соответствия кода техническому заданию.

Генерация кода при помощи РИТМ ВС Мультикор гарантирует отсутствие ошибок, свойственных ручному кодированию, и упрощает поддержку и доработку проектов.

#### Технические особенности продукта

- Автоматическая генерация промышленного кода из моделей
- Интеграция с набором инструментов для построения кода
- Загрузка и запуск исполняемого файла на микропроцессоре
- Независимое выполнение на целевой системе (интеграция с планировщиком ОС Linux)
- Верификация в режиме Процессор-в-контуре (PIL)
- Профилирование времени выполнения
- Генерация оптимизированного для целевой платформы кода с использованием библиотеки NeoN
- Генерация портируемого платформонезависимого кода ANSI C / ISO C++
- Поддержка режима исполнения External Mode

Автоматическая генерация и верификация программного кода для микропроцессоров НПЦ Элвис



## РИТМ ВС для Байкал

### Генерация кода для процессора Байкал BE-T1000

Программный модуль предназначен для автоматической генерации исходного кода из математических моделей алгоритмов. Автоматизация позволяет быстро прототипировать алгоритмы непосредственно на вычислителе BE-T1000, оценивать время выполнения и воспроизводить тестовые сценарии для доказательства функционального соответствия кода техническому заданию.

Генерация кода при помощи РИТМ ВС Байкал гарантирует отсутствие ошибок, свойственных ручному кодированию, и упрощает поддержку и доработку проектов.

#### Технические особенности продукта

- Автоматическая генерация промышленного кода из моделей
- Интеграция с набором инструментов для построения кода
- Загрузка и запуск исполняемого файла на микропроцессоре
- Независимое выполнение на целевой системе (интеграция с планировщиком ОС Linux)
- Верификация в режиме Процессор-в-контуре (PIL)
- Профилирование времени выполнения
- Генерация портируемого платформонезависимого кода ANSI C / ISO C++
- Поддержка режима исполнения External Mode
- Поддержка протокола обмена данными ASAM MCD-1 XCP для режима исполнения External Mode

Автоматическая генерация и верификация программного кода для микропроцессоров Байкал Электроникс

